ФЕДЕРАЛЬНОЕ АГЕНТСТВО СВЯЗИ

**Федеральное государственное бюджетное образовательное**

**учреждение высшего образования**

**«Санкт-Петербургский государственный университет телекоммуникаций**

**им. проф. М. А. Бонч-Бруевича»**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

Кафедра программной инженерии и вычислительной техники

Дисциплина «Вычислительная и микропроцессорная техника»

# Лабораторная работа № 4

**Исследование регистров.**

Выполнили: Громов А. А.  
Миколаени М.С.  
Баканов В.П.

гр. Икт-801 ф-т ИКСС

Проверила: Неелова О. Л.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Санкт-Петербург

2020

1. **Цель работы**: знакомство с работой параллельных и последовательных регистров. Для изучения предлагаются регистры: регистр сдвига на 8 разрядов последовательный, защелка на 4 разряда, а также параллельный 4-разрядный буферный регистр.
2. **Код программы:**
   1. Последовательный регистр

module shift\_rgstr

#(parameter N=8)

( input clk,

input d\_in,

output d\_out);

reg [N-1:0] d;

assign d\_out = d[N-1];

always @ (posedge clk)

begin

d[N-1:1] <= d[N-2:0];

d[0] <= d\_in;

end

endmodule

* 1. Регистр-защелка(параллельный)

module latch\_rgstr

#(parameter N=4)

(input [N-1:0] d\_in,

input clk,

output [N-1:0]d\_out);

reg [N-1:0]q;

assign d\_out=q;

always@ (posedge clk)

begin

q<=d\_in;

end

endmodule

* 1. Буферный регистр(параллельный)

module buf\_rgstr

#(parameter N=4)

(input [N-1:0] d\_in,

input clk, ena, res, rd,

output [N-1:0] d\_out);

reg [N-1:0]w;

assign d\_out=(rd)? (w) : (0);

always@ (posedge clk, negedge res)

begin

if (!res)

w<=0;

else if (clk)

begin

if (ena)

w<=d\_in;

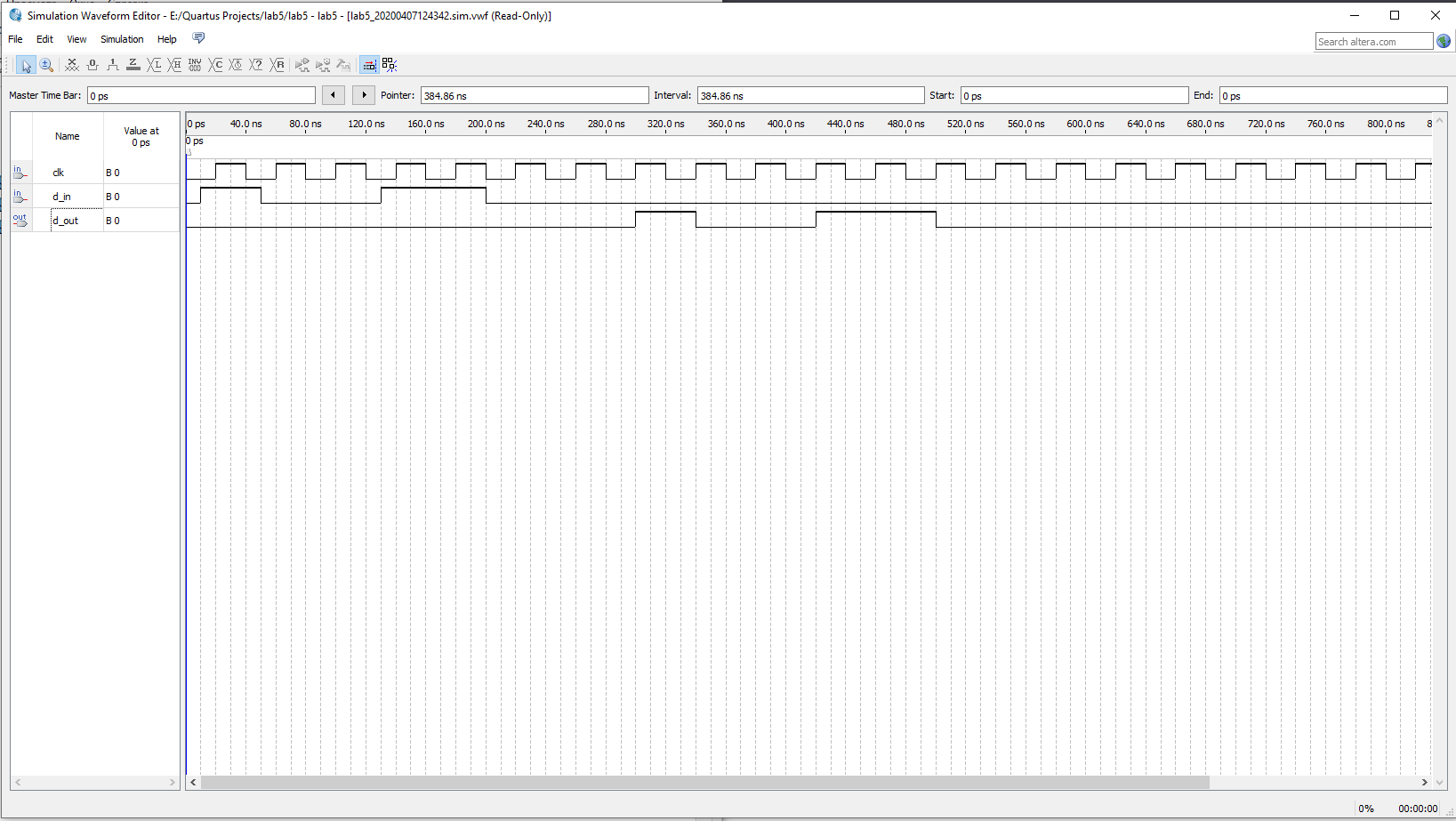
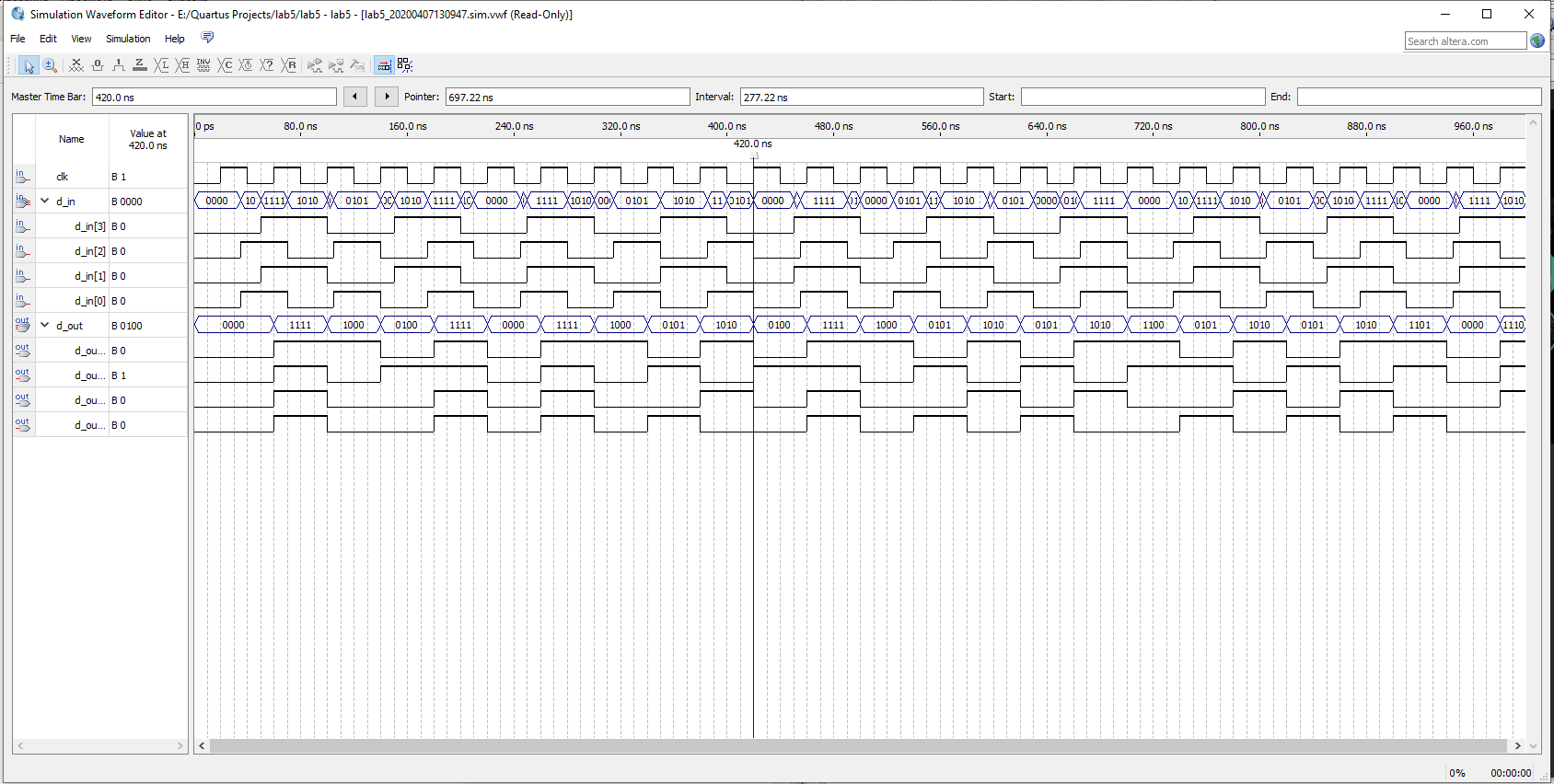
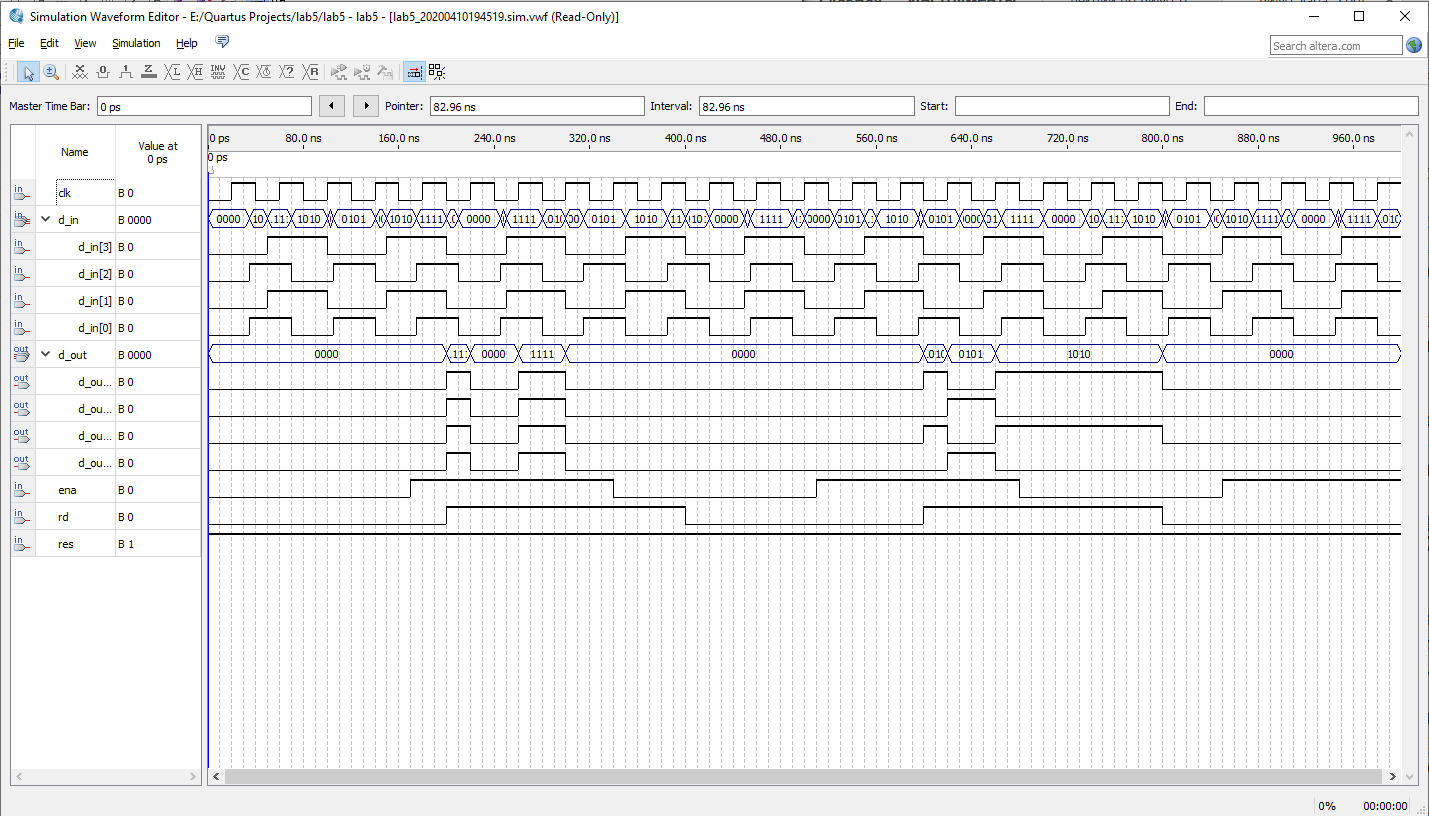
else

w<=w;

end

end

endmodule

1. **Диаграммы работы устройств.**
   1. Последовательный регистр
   2. Регистр-защелка(параллельный)
   3. Буферный регистр(параллельный)
2. **Теоретическая справка**

Существует 2 вида регистров: последовательные(сдвига) и параллельные(хранения)

Сдвиговые(последовательные) регистры имеют 1 вход и 1 выход, построены на D – триггерах, сигнал синхронизации подаётся на все триггеры одновременно.

В параллельных триггерах сигнал подается на все триггеры одновременно, равно как и синхроимпульс. Параллельный регистр имеет количество входов и выходов данных, обеспечивающих разрядность подключенной шины.

Параллельные регистры подразделяются на:

- Регистры временного хранения (Регистр, входы и выходы которого всегда подключены к шинам, называется регистр-защелка.)

- Буферные регистры

В регистрах-защелках информация хранится в течении 1ого такта. В буферных регистрах выходы и входы подключаются к шинам по сигналу разрешения.